

## 数字图像处理 ISP SOC 芯片 XC5026A

### 特性

- 支持的摄像头大小与帧率
  - 1080p@30fps
- 高性能图像处理功能
  - 坏点校正
  - 去光圈效应
  - Gamma 曲线调整
  - Demosaic 处理
  - 自动白平衡
  - 自动曝光增益控制
  - 自适应 2D 去噪
  - 图像锐化处理
  - 颜色校正和色度增强
  - 图像的裁剪与缩小
- 辅助功能
  - 支持倒车线
  - 支持 TDN
- 接口
  - 一组 DVP 输入, 接收 10-bit sensor 数据
  - 一组 UART slave 接口, 接收 host 控制
  - 一组 I2C master 接口, 控制摄像头
  - 一组四线 SPI 接口, 访问 SPI nor-flash
  - 可编程 GPIO
- 视频输出
  - 标准复合视频: CVBS
  - HDcctv: 1080p@25/30fps  
720p@25/30fps
- 电压标准
  - VDDIO1 1.8
  - VDDIO2 3.3V
  - DAC\_AVDD 3.3V
  - CVDD 1.1V
- 工作温度范围 -40° C~ 85° C
- 封装: 0.4mm pitch 标准 6x6 QFN48

### 应用

视频监控  
行车记录仪

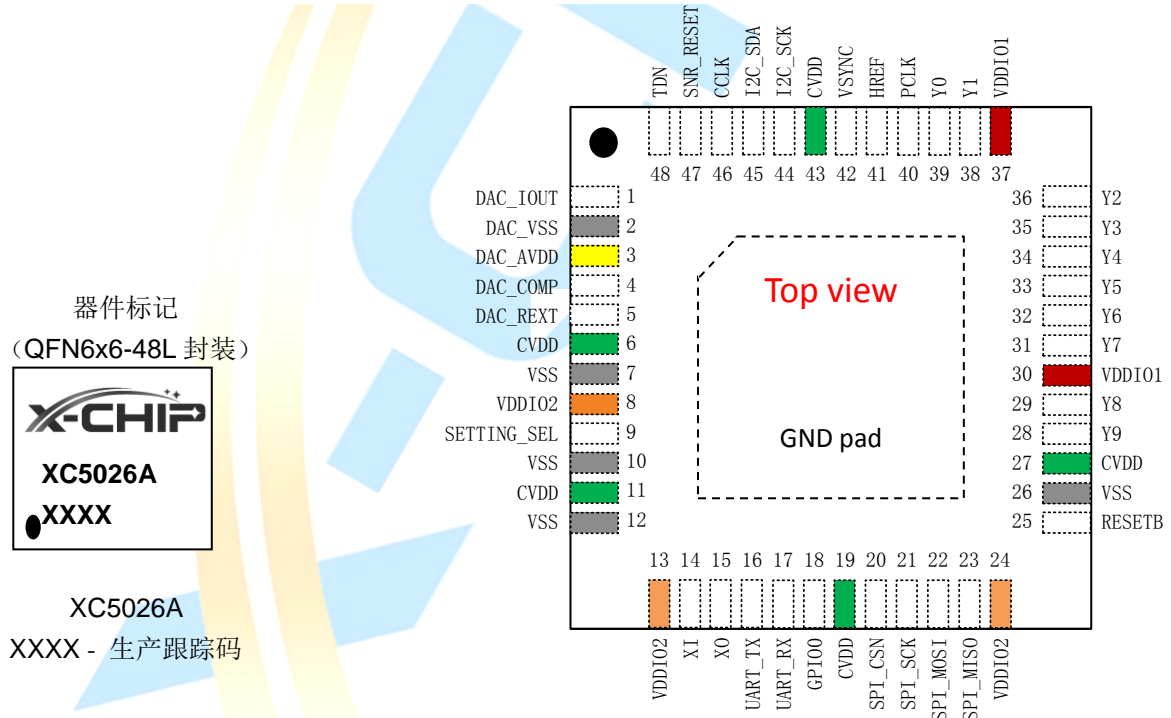


图 1 引脚分布(俯视图)及标记图

## 目录

<b>1 概述</b>	<b>5</b>
1.1 引脚功能定义	5
1.2 内部结构框图	6
1.3 订购信息	7
1.4 参考设计	7
<b>2 指标</b>	<b>8</b>
2.1 工作条件	8
2.2 性能指标	8
<b>3 上电和复位</b>	<b>9</b>
3.1 上电时序	9
3.2 复位	9
3.2.1 硬件复位	9
3.2.2 软件复位	9
3.2.3 看门狗复位	9
<b>4 模拟特性</b>	<b>10</b>
4.1 PLL 特性	10
4.2 DAC 特性	10
<b>5 数字功能</b>	<b>11</b>
5.1 图像处理模块	11
5.1.1 图像尺寸控制	11
5.1.2 光学电学校正	11
5.1.3 DEMOSAIC 处理	11
5.1.4 统计和自动控制	11
5.1.5 GAMMA 曲线调整	11
5.1.6 图像增强	11
5.1.7 图像去噪	12
5.1.8 辅助功能	12
5.2 通用接口模块	12

---

5.2.1	SENSOR INPUT .....	12
5.2.2	I2C .....	12
5.2.3	UART .....	12
5.2.4	SPI FLASH.....	13
5.3	通用处理器模块 .....	14
<b>6</b>	<b>封装 .....</b>	<b>15</b>
<b>7</b>	<b>版本 .....</b>	<b>17</b>

## 图表目录

图 1 引脚分布(俯视图)及标记图 .....	1
图 2 内部结构框图.....	6
图 3 参考电路.....	7
图 4 上电时序.....	9
图 5 UART 读写流程 .....	13
图 6 SPI 时序图.....	13
图 7 封装顶视图 .....	15
图 8 封装底视图 .....	15
图 9 封装侧视图 .....	16
图 10 封装尺寸.....	16
表 1 引脚定义.....	5
表 2 推荐工作条件.....	8
表 3 性能指标.....	8
表 4 DAC 性能指标 .....	10
表 5 SPI 时序参数.....	13

## 1 概述

XC5026A 是一款针对 CMOS 图像传感器的专业级图像处理芯片，专注于模拟高清图像传输应用，内置增强引擎提高模拟高清信号传输距离和质量。芯片内置图像处理器，可以对输入图像进行校正，亮度和色度增强，空域去噪 2DNR，以及自动曝光和自动白平衡。最高支持 2M 的 CMOS 图像传感器，一组 10-bit 的 DVP 输入接口；支持标准的 CVBS 复合视频输出，也支持 720p@25/30fps 和 1080p@25/30fps 的 HDcctv 模拟高清输出。

### 1.1 引脚功能定义

下边各表给出管脚功能定义：

表 1 引脚定义

No.	Signal Name	PAD Type	Description	Comments
1	DAC_IOUT	O A	DAC output	Analog Power Domain
2	DAC_VSS	G	DAC ground	
3	DAC_VDD	P	DAC power supply	
4	DAC_COMP	I A	DAC compensation input	
5	DAC_REXT	I A	DAC external resistance	
6	CVDD	P	Core VDD	
7	VSS	G	Chip ground	System Power Domain
8	VDDIO2	P	System IO VDD	
9	GPIO1	I/O	GPIO1 (internal weak pulldown)	
10	VSS	G	Chip ground	
11	CVDD	P	Core VDD	
12	VSS	G	Chip ground	
13	VDDIO2	P	System IO VDD	
14	XI	I	Crystal clock input	
15	XO	I/O	Crystal clock output	
16	UART_TX	I/O	UART_TX(internal weak pullup)	
17	UART_RX	I/O	UART_RX(internal weak pullup)	
18	GPIO0	I/O	GPIO0 (internal weak pulldown)	
19	CVDD	P	Core VDD	
20	SPI_CSN	I/O	SPI_CSN (internal weak pullup)	
21	SPI_CLK	I/O	SPI_CLK (internal weak pulldown)	
22	SPI_MOSI	I/O	SPI_MOSI (internal weak pulldown)	
23	SPI_MISO	I/O	SPI_MISO (internal weak pulldown)	
24	VDDIO2	P	System IO VDD	
25	RESETB	I	Chip Reset	
26	VSS	G	Chip ground	
27	CVDD	P	Core VDD	
28	Y9	I/O	Sensor in data bit9	Sensor Power Domain
29	Y8	I/O	Sensor in data bit8	

30	VDDIO1	P	Sensor IO VDD
31	Y7	I/O	Sensor in data bit7
32	Y6	I/O	Sensor in data bit6
33	Y5	I/O	Sensor in data bit5
34	Y4	I/O	Sensor in data bit4
35	Y3	I/O	Sensor in data bit3
36	Y2	I/O	Sensor in data bit2
37	VDDIO1	P	Sensor IO VDD
38	Y1	I/O	Sensor in data bit1
39	Y0	I/O	Sensor in data bit0
40	PCLK	I/O	Sensor in pixel clock
41	HREF	I/O	Sensor in href
42	VSYNC	I/O	Sensor in vsync
43	CVDD	P	Core VDD
44	I2C_SCK	I/O OD	I2C clock(master)
45	I2C_SDA	I/O OD	I2C data(master)
46	CCLK	I/O	Sensor Referenced Clock
47	SNR_RESET	I/O	Sensor reset (internal weak pullup)
48	TDN	I/O	TDN Input
49	VSS	G	Chip ground (Must Connect to Ground)

- (1) P = Power, G = Ground, A=Analog, I = Input, O = Output, I/O = Input and Output Signal, OD = Open drain
- (2) pin 49 is thermal pad, must connect to ground of PCB

## 1.2 内部结构框图

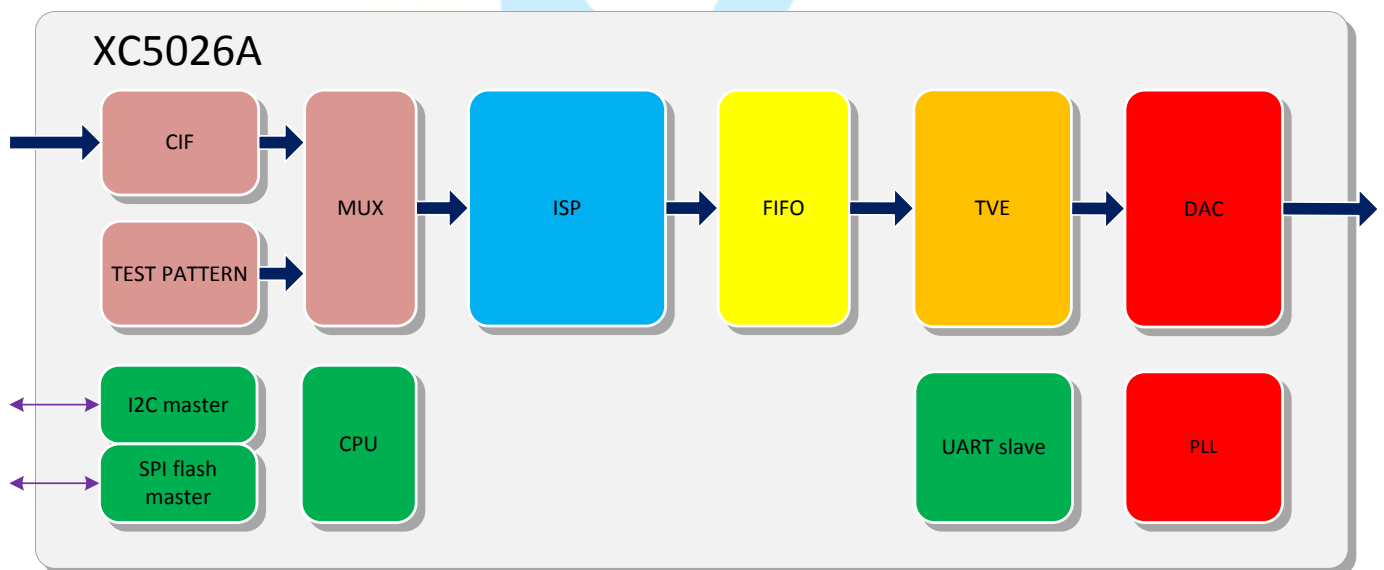


图 2 内部结构框图

### 1.3 订购信息

产品型号	工作温度范围	封装形式	RoHS	发货形式
XC5026A	-20℃~70℃	QFN48, 6mmx6mm	是	Tray 盘包装

### 1.4 参考设计

如有对摄像头支持需求, 请联系 FAE: fae@x-chip.cn.

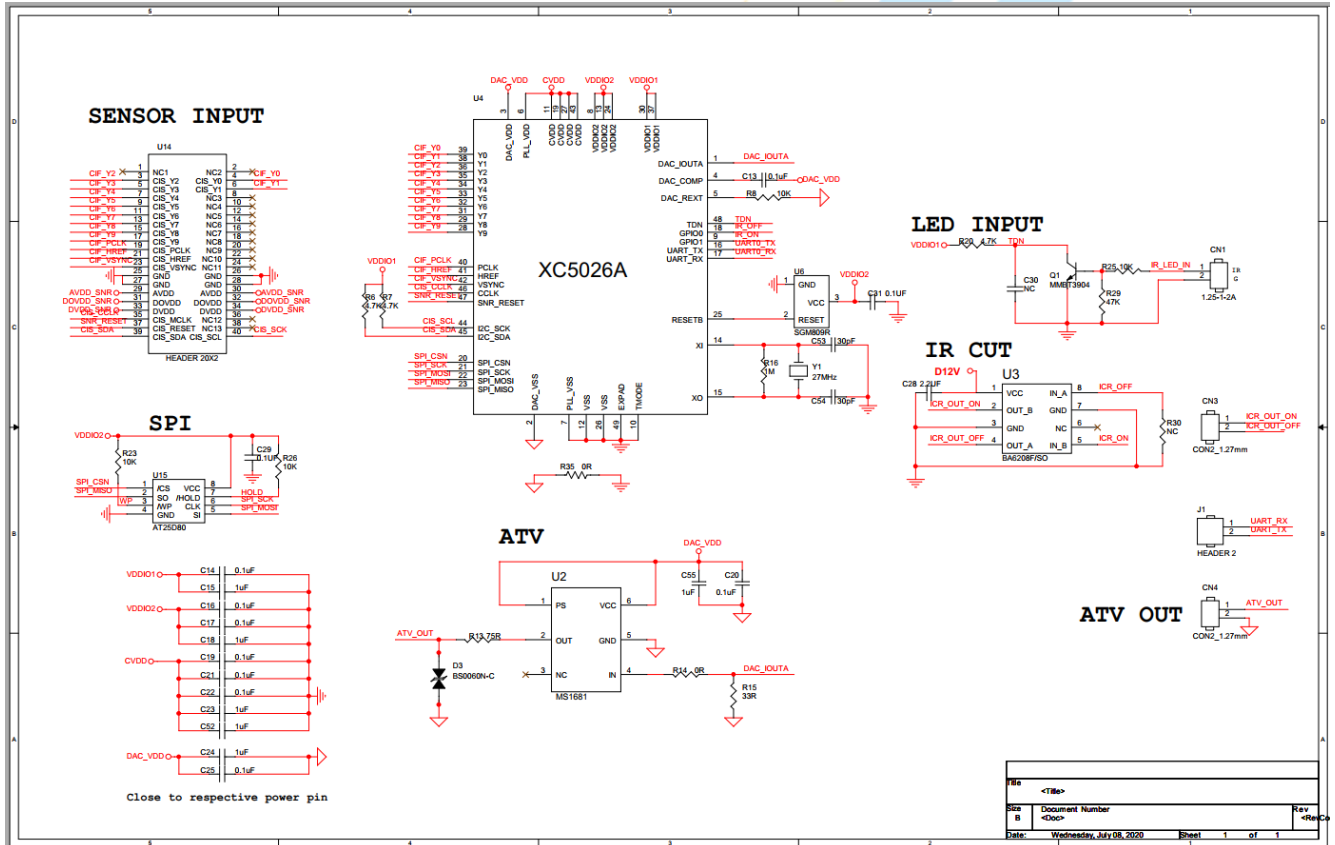


图 3 参考电路

## 2 指标

### 2.1 工作条件

表 2 推荐工作条件

Symbol	Descriptions	Condition	Min	Typ	Max	Unit
VDDIO1	Sensor bank IO 电源	1.8V 标准电压	1.7	1.8	1.9	V
VDDIO2	Host bank IO 电源	3.3V 标准电压	3.0	3.3	3.6	V
DAC_VDD	DAC 电源	3.3V 标准电压	3.0	3.3	3.6	V
CVDD	Core 电源	1.1V 标准电压	1.0	1.1	1.2	V

### 2.2 性能指标

表 3 性能指标

Symbol	Descriptions	Condition	Min	Typ	Max	Unit
Vil	Input Low Voltage	3.3V 标准电压	-	-	0.8	V
		1.8V 标准电压	-	-	0.6	V
Vih	Input High Voltage	3.3V 标准电压	2.0	-	-	V
		1.8V 标准电压	1.1	-	-	V
Vol	Output Low Voltage	3.3V 标准电压	-	-	0.4	V
		1.8V 标准电压	-	-	0.4	V
Voh	Output High Voltage	3.3V 标准电压	2.9	-	-	V
		1.8V 标准电压	1.4	-	-	V
<b>1080P@30fps</b>						
I <sub>VDDIO1</sub>	VDDIO1 电流	1.8V 标准电压	-	5	10	mA
I <sub>VDDIO2</sub>	VDDIO2 电流	3.3V 标准电压	-	5	10	mA
I <sub>DAC_VDD</sub>	DAC VDD 电流	3.3V 标准电压	-	30	40	mA
I <sub>CVDD</sub>	CVDD 电流	1.1V 标准电压	-	50	80	mA
<b>720P@30fps</b>						
I <sub>VDDIO1</sub>	VDDIO1 电流	1.8V 标准电压	-	4	8	mA
I <sub>VDDIO2</sub>	VDDIO2 电流	3.3V 标准电压	-	4	8	mA
I <sub>DAC_VDD</sub>	DAC VDD 电流	3.3V 标准电压	-	30	40	mA
I <sub>CVDD</sub>	CVDD 电流	1.1V 标准电压	-	30	60	mA
<b>Sleep Mode</b>						
I <sub>VDDIO1_SLEEP</sub>	VDDIO1 电流	1.8 标准电压	-	-		uA
I <sub>VDDIO2_SLEEP</sub>	VDDIO2 电流	3.3V 标准电压	-	-		mA
I <sub>DAC_VDD_SLEEP</sub>	DAC VDD 电流	3.3V 标准电压	-	-		uA
I <sub>CVDD_SLEEP</sub>	CVDD 电流	1.1V 标准电压	-	-		mA



## 3 上电和复位

### 3.1 上电时序

ISP 上电由以下三步组成：

1. 通过电源分别为 CVDD、VDDIO1、VDDIO2 以及 DAC\_VDD 供电；
2. 供电稳定后，晶振自动起振，复位器件判断供电稳定之后产生 RESETB 释放信号，芯片进入工作模式；
3. 芯片 RESETB 释放之后 10ms 开始发送 SPI 命令读取 Flash 中内容，因此 Flash 需要在芯片上电 10ms 之内 ready。

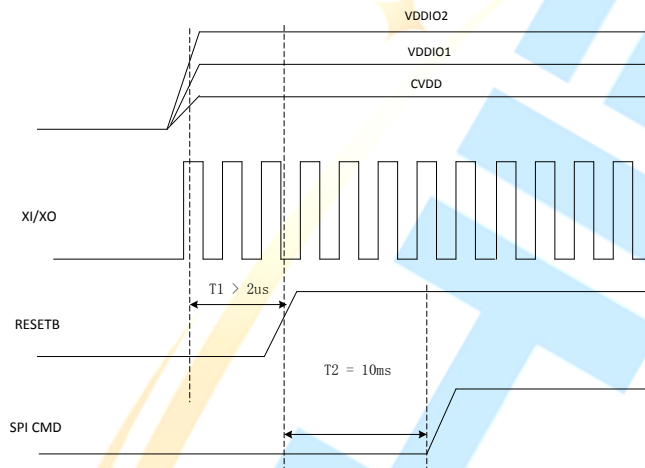


图 4 上电时序

### 3.2 复位

#### 3.2.1 硬件复位

芯片的硬件复位由外部复位引脚 RESETB 输入。芯片内部会对复位信号进行同步，防抖动和去毛刺处理。需要通过外部复位元器件完成 POR(Power-On-Reset)和 LVR(Low-Voltage-Reset)功能。

#### 3.2.2 软件复位

CPU 可直接读写 RST 寄存器复位内部模块，也可通过调试接口访问 RST 寄存器。寄存器不同 bit 对应不同的逻辑模块，复位信号用于复位模块内部所有配置寄存器和数字逻辑。详细信息请参考寄存器表。

#### 3.2.3 看门狗复位

芯片内置看门狗，监督 CPU 工作状态，可通过软件配置开启和关闭。看门狗开启并触发时 CPU 会进行全芯片复位。

## 4 模拟特性

### 4.1 PLL 特性

产生高频时钟信号，提给内部逻辑、DAC 使用。

### 4.2 DAC 特性

DAC 为 10-bit 电流源型高速 DAC，最高采样时钟速度 166Mbps。用于将 HDcctv 数字信号转成模拟信号发送，最长传输距离为 350 米。详细性能指标如下：

表 4 DAC 性能指标

Symbol	Descriptions	Condition	Min	Typ	Max	Unit
	Resolution			10		bit
INL	Integral non-linearity		-2	±1.0	2	LSB
DNL	Differential non-linearity		-1	±0.5	1	LSB
Offset error	Offset error	Iout = 0mA			0.1	%FSR
Gain error	Gain error				±5	%FSR
Ioutfs	Full scale output current		18	26.67	34.67	mA

## 5 数字功能

### 5.1 图像处理模块

#### 5.1.1 图像尺寸控制

图像处理模块可以对输入输出图像进行尺寸控制，包括裁剪、缩小功能。裁剪模块可以对图像的起始点进行校正，可以由寄存器配置新产生图像的起始点以及图像的长和宽。图像缩小模块可以对图像进行缩小操作，输出图像的大小由寄存器配置。图像缩小模块支持任意比例图像的缩小，最大可支持缩小到原图的 1/32 大小，最大支持输入图像的水平方向像素点为 1920。

#### 5.1.2 光学电学校正

坏点校正 (Defect Pixel Correction, DPC) 会根据邻近的上下左右的像素点值，判断当前像素点是否为坏点，并根据邻近像素点的值替代该坏点。

去光圈效应 (Lens Shading Correction) 模块根据每个像素点在像素阵列中所处的位置，计算出补偿增益值，以消除光圈效应，使处理后的图像有均匀的亮度值。

#### 5.1.3 Demosaic处理

将输入的 RAW Bayer 图像数据转换成 RGB 域的数据。在 RAW 域中，每个像素点只包含 RGB 分量中的一个，模块使用相邻像素点的颜色分量信息，计算得到每个像素点的完全 RGB 分量，同时该模块还有对图像边缘加强的效果。

#### 5.1.4 统计和自动控制

该模块可以对 RAW 或者 YUV 域的亮度进行统计、计算平均值、将平均值交给自动曝光与增益控制模块。亮度平均模块可以选择统计窗口的位置，并可灵活配置窗口内各区域块的权值。

自动曝光 (Auto Exposure) 与增益控制 (Auto Gain Control) 模块通过统计分析摄像头输出图像的亮度，自动调整曝光时间和增益，确保图像亮度保持在合理区间之内。

自动白平衡 (Automatic White Balance, AWB) 模块能够自动判断图像的色温环境，计算出图像的白平衡增益，消除光源色温的影响，使白色的物体呈现真实的白色。芯片自动白平衡算法采用可独立配置的八个色温窗口，可高度拟合日光、白炽灯和荧光灯等常见的光源环境。用户也可切换到手动模式，手动输入白平衡增益值。

#### 5.1.5 Gamma曲线调整

芯片包含两个 Gamma 校正模块，一种作用于 RAW 域，另一种作用于 RGB 域，方便客户灵活选择。Gamma 校正模块用于补偿人眼视觉系统的非线性特性，采用 64 段分段线性拟合人眼视觉系统的非线性曲线。

#### 5.1.6 图像增强

芯片中图像增强包括锐度增强、特殊数字效果和颜色校正部分。锐度增强通过多色域提取图像边缘信息，对边缘进行锐度增强。特殊数字效果 (Special Digital Effect, SDE) 的功能包括色度/饱和度调整，亮度调整，对比度调整。颜色校正通过色彩矩阵 (Color Matrix) 修正摄像头与人眼之间的色彩空间差异，还原出人眼感受的真实图像色

彩。同时模块还能根据环境色温智能调节矩阵参数以匹配真实的色彩空间。

### 5.1.7 图像去噪

摄像头本身存在噪声，尤其在低照度(光源不足)下非常严重。芯片内部包含空域去噪模块(2DNR)，去噪效果根据客户需求可调。针对不同 sensor 空域噪声特性，分别在 Bayer 域及 YUV 域针对亮度噪声和色度噪声做相应的去噪处理，具有在抑制噪声幅度的同时很好地保留边缘和纹理的优点。

### 5.1.8 辅助功能

芯片内部设计了图像和调试辅助功能，包含倒车线直接叠加于图像之上；支持数字 OSD 用于效果调试。

## 5.2 通用接口模块

### 5.2.1 Sensor Input

用于接收 sensor 的图像数据。CCLK 用于提供参考时钟给 sensor，PCLK 则是 sensor 输出图像数据的同步时钟信号，支持最高 100MHz 时钟频率。数据输入管脚为 Y9 ~ Y0，支持 RAW8/RAW10 格式。VSYNC 和 HREF 分别为 sensor 输出的场同步信号和行参考信号，支持 VSYNC 反转。

### 5.2.2 I2C

芯片包含一组 I2C Master 接口用于与 sensor 进行通讯。两条 I2C 的信号线 SCK 与 SDA 都必须分别通过 2.2K~10K  $\Omega$  的上拉电阻与 VDDIO1 相连通，I2C 总线在闲时电平保持和 VDDIO1 电压一致。支持 Standard/Fast 模式，最高速率 400kbps。ISP 的 I2C master 接口能够访问 8 位寄存器地址 8 位寄存器数据，16 位寄存器地址 16 位寄存器数据以及 16 位寄存器地址 8 位寄存器数据的 I2C slave 设备。

### 5.2.3 UART

芯片包含一组 UART Slave 接口提供客户进行 debug。该 UART 支持如下功能：兼容 UART 16500；支持一位偶校验和一位停止位；默认波特率 115200bps，支持波特率可配。UART 支持 Xmodem 协议和自定义读写命令。

自定命令分为命令和响应两个阶段，根据数据位不同可以分为如下四种命令。

- 32-bit Write。命令阶段：CMD(1-byte)+ADDR(4-byte)+DATA(4-byte)； 响应阶段：ACK(1-byte)
- 8-bit Write。命令阶段：CMD(1-byte)+ADDR(4-byte)+DATA(1-byte)； 响应阶段：ACK(1-byte)
- 32-bit Read。命令阶段：CMD(1-byte)+ADDR(4-byte)； 响应阶段：CMD(1-byte)+ DATA(4-byte)
- 8-bit Read。命令阶段：CMD(1-byte)+ADDR(4-byte)； 响应阶段：CMD(1-byte)+ DATA(1-byte)

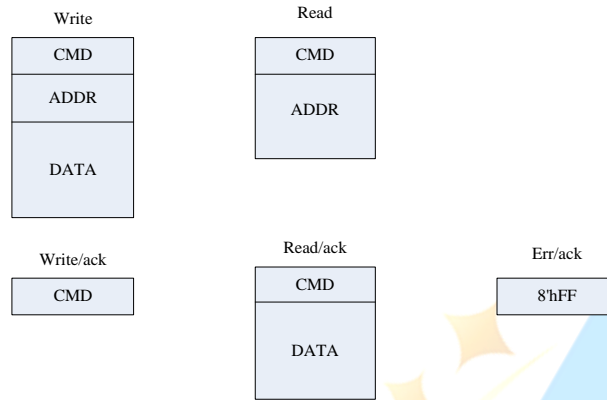


图 5 UART 读写流程

### 5.2.4 SPI Flash

芯片 SPI 接口支持与标准 Nor-Flash 芯片进行通讯，支持标准 SPI 协议模式 0，并且大小端可配。SPI 时序参数如下：

表 5 SPI 时序参数

Symbol	Descriptions	Min	Typ	Max	Unit
Tclkh	Serial Clock High Time				ns
Tckl	Serial Clock Low Time				ns
Tcsst	CS# Active Setup Time	0.5T		1T	SCK cycle
Tcshd	CS# Active Hold Time	0.5T		1T	SCK cycle
Tcsh	CS# High Time	0.5T		2T	SCK cycle
Tckdd	Data Output Delay from Serial Clock			0.25T	SCK cycle
Tdos	Data Output Setup Time	0.25T			SCK cycle
Tdoh	Data Output Hold Time	0.5T			SCK cycle
Tdis	Data Input Setup Time	0.25T			SCK cycle
Tdih	Data Input Hold Time	0.5T			SCK cycle

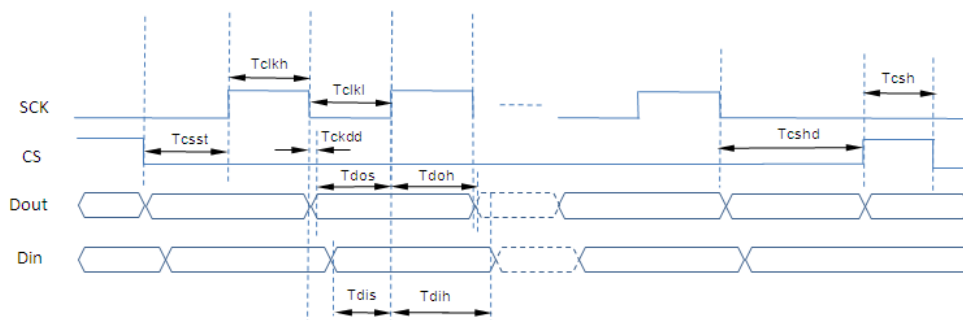


图 6 SPI 时序图

### 5.3 通用处理器模块

芯片内部集成一个 32 位嵌入式微处理器，能够实时完成高性能图像处理算法程序。内部集成 ROM 外部无需再接程序存储芯片，另有 RAM 用于程序运行，此 RAM 可用于给程序增加 patch 以适应不同类型的摄像头。程序与图像处理模块协同完成图像处理的各种算法。此外，微处理器还负责将计算的自动曝光与增益控制等参数通过 I2C 接口实时配置给前端摄像头。

## 6 封装

XC5026A 采用 QFN48 封装形式，封装尺寸为 6mm x 6mm，PAD pitch 0.4mm，详细封装样式及尺寸见下图。

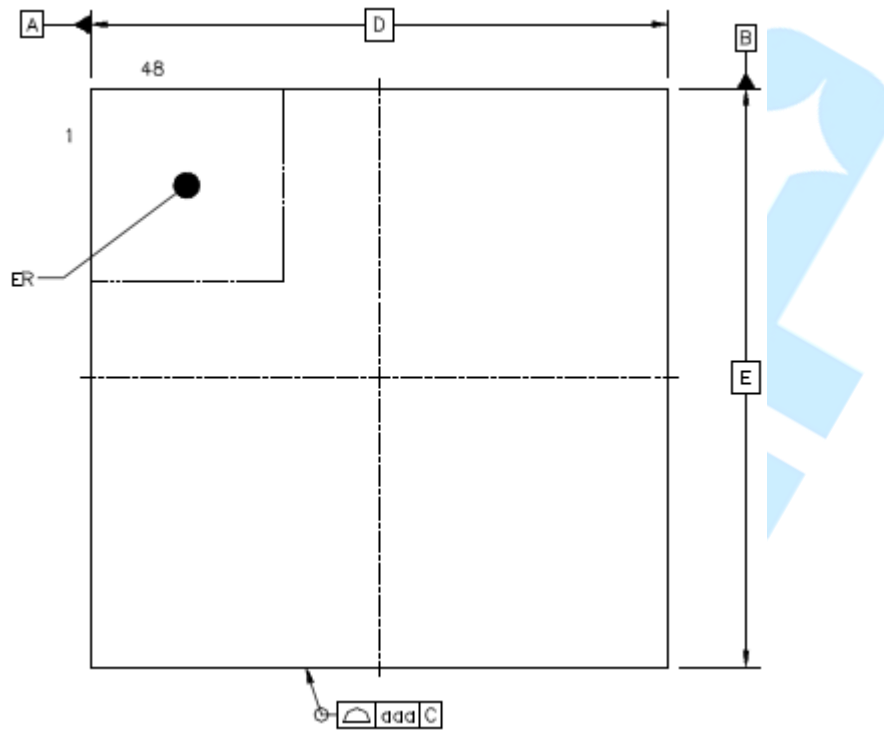


图 7 封装顶视图

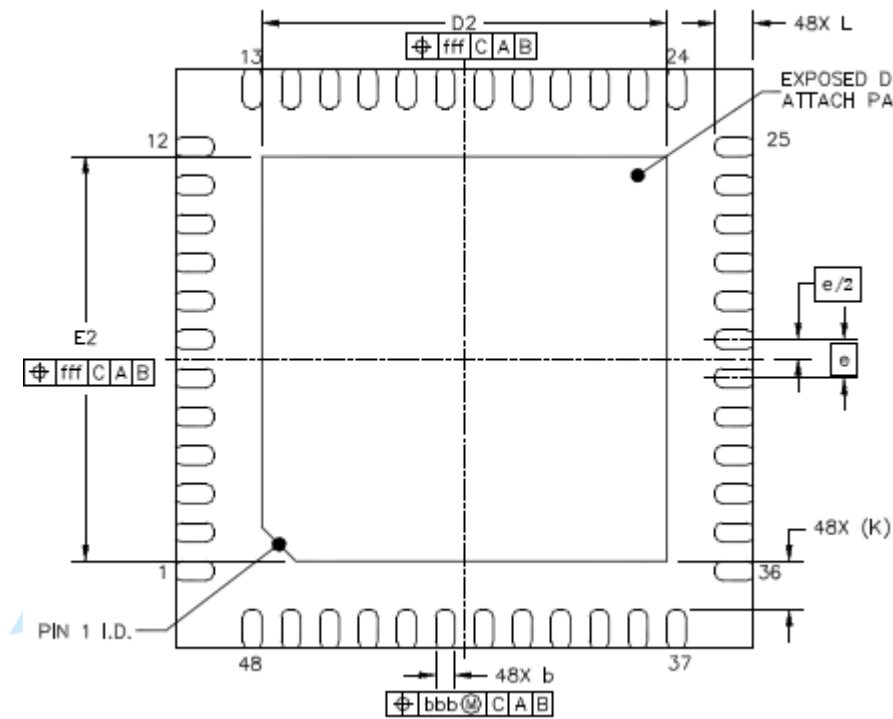


图 8 封装底视图

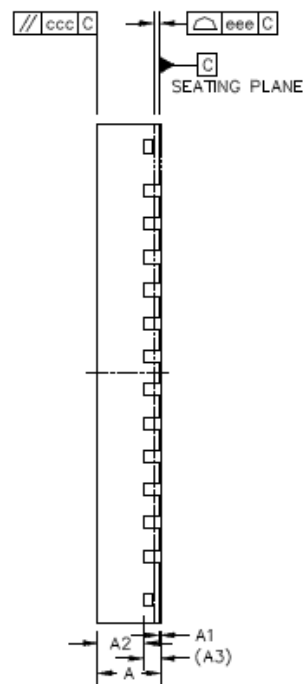


图 9 封装侧视图

		SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS		A	0.7	0.75	0.8
STAND OFF		A1	0	0.02	0.05
MOLD THICKNESS		A2	---	0.55	---
L/F THICKNESS		A3	0.203 REF		
LEAD WIDTH		b	0.15	0.2	0.25
BODY SIZE	X	D	6 BSC		
	Y	E	6 BSC		
LEAD PITCH		e	0.4 BSC		
EP SIZE	X	D2	4.1	4.2	4.3
	Y	E2	4.1	4.2	4.3
LEAD LENGTH		L	0.3	0.4	0.5
LEAD TIP TO EXPOSED PAD EDGE		K	0.5 REF		
PACKAGE EDGE TOLERANCE		aaa	0.1		
MOLD FLATNESS		ccc	0.1		
COPLANARITY		eee	0.08		
LEAD OFFSET		bbb	0.07		
EXPOSED PAD OFFSET		fff	0.1		

图 10 封装尺寸



## 7 版本

版本号	日期	描述
1.0	2020/6/17	Draft 版本
1.1	2020/6/28	修改参考设计, DAC_RSET 下拉电阻 R8 改为 10K; 更新性能指标
1.2	2020/7/1	修改引脚定义 PIN48 从 VSS 改为 TDN
1.3	2020/7/7	修改参考设计, 将 U4 芯片的 PIN5 管脚名由 DAC_RSET 修改为 DAC_REXT
1.4	2020/7/8	更新电流指标, 更新到-40~85